

(1) Japanese Patent Application Laid-Open No.11-346345 (1999)

“Video Input/Output Apparatus and Video Recording/Regenerating Apparatus”

5 [Prior Art] Conventional digital video (DV) devices, each of which is equipped with a digital interface in accordance with the IEEE 1394 standards, accomplish video transmission/reception through such digital interfaces while using various digital video formats, respectively. Conventional digital interfaces have structures adapted for the various digital video formats, respectively.

10 [Problems to be Solved by the Invention] As mentioned above, the digital interfaces included in the conventional digital video devices comprise respective systems adapted exclusively for the respective digital video formats. For this reason, it is impossible for the conventional digital video device to receive MPEG (Moving Picture Experts Group)-encoded data in a format different from the digital
15 video format, and to record the data in a recording medium. An attempt to have the conventional digital video device receive and record MPEG-encoded data would necessitate two kinds of circuits for digital video data and MPEG-encoded data, which considerably increases the volume of hardware, resulting in increased manufacturing cost.

20 This invention addresses the foregoing situation with problems associated with data receiving operation of the conventional digital video device. The first object of this invention is to provide a video input/output apparatus with a simple structure in which MPEG-encoded data input to an input terminal in accordance with the IEEE 1394 standards is converted into data in a pattern of digital video format,
25 while data in a digital video format is converted into MPEG-encoded data, to be

output from an output terminal in accordance with the IEEE 1394 standards at the time of outputting data in a digital video format.

The second object of this invention is to provide a video recording/regenerating apparatus with a simple structure in which MPEG-encoded data input to an input terminal in accordance with the IEEE 1394 standards is converted into data in a pattern of digital video format to be stored into a recording medium, while data in a digital video format regenerated by the recording medium is converted into MPEG-encoded data to be output from an output terminal in accordance with the IEEE 1394 standards to an external terminal.

[Preferred Embodiment] Below, one embodiment of a video recording/regenerating apparatus according to this invention will be discussed with reference to attached Figs. 1-7. Fig. 1 is a block diagram showing a recording system according to this embodiment. Fig. 2 is a block diagram showing a regenerating system according to this embodiment. Fig. 3 is a block diagram showing a structure of a DV packetizing circuit shown in Fig. 1. Fig. 4 is a block diagram showing a structure of an MPEG packetizing circuit shown in Fig. 2. Fig. 5 explains a block packet of a digital video SDL according to this embodiment. Fig. 6 explains a structure of a single sink of digital video data according to this embodiment. Fig. 7 explains packed data according to this embodiment.

A recording system 25 according to this embodiment has a structure shown in Fig. 1. The recording system 25 includes: a cable; a physical layer 3 provided within the cable, for receiving a digital signal input to an input terminal 2 of the cable; a LINK layer 4 connected to the physical layer 3, for dividing the digital signal output from the physical layer 3 into a header and data; a header detecting circuit 1 connected to the LINK layer 4, for receiving the header; a DV packetizing

circuit 5 also connected to the LINK layer 4, for receiving the data and performing a digital video (DV) packetizing process on the input data. The DV packetizing circuit 5 and peripheral circuits thereof have structures as shown in Fig. 3. Specifically, the DV packetizing circuit 5 includes a memory 22 which is connected to a data output terminal of the LINK layer 4 via a switch 21 and stores data sent from the LINK layer 4. The switch 21 is turned ON and OFF under control of an output signal of the header detecting circuit 1. Further, an output terminal of the memory 22 is connected to an ID-number adding circuit 23 for adding an ID number for discriminating between MPEG-encoded data and digital video data, to data for forming a packet. The ID-number adding circuit 23 has an output terminal connected to a FIFO (First In First Out) memory 6 for outputting data in accordance with a timing of the system.

The FIFO memory 6 has an output terminal connected to a recording system 27 for performing a recording process on a digital video tape in an ordinary manner, as shown in Fig. 1. The recording system 27 includes a deshuffling circuit 7 connected with the FIFO memory 6, for performing a deshuffling process and generating VAUX (video auxiliary) data serving as additional information of system data. The deshuffling circuit 7 is connected to an error correcting/encoding circuit 8 for adding an error correcting code. The error correcting/encoding circuit 8 is connected with a recording/demodulating circuit 9 for recording and demodulating data, of which output data is supplied to a tape T via an amplifier 10 to be stored in the tape T.

A regenerating system 26 according to this embodiment has a structure as shown in Fig. 2. A regenerating system 28 for performing a regenerating process on a digital video tape in an ordinary manner is employed as the regenerating system

26, without any improvement being made thereon. In the regenerating system 28, a demodulating circuit 12 for performing a demodulating process is supplied with data to be regenerated from a tape T via an amplifier 11 and demodulates the data. The demodulating circuit 12 is connected with an error correcting/decoding circuit 13 for
 5 correcting an error which is connected to a shuffling circuit 14 for performing a shuffling process.

The shuffling circuit 14 has an output terminal connected to a FIFO memory 15. The FIFO memory 15 is supplied with a DIT packet which is used in packetizing data so as to have a standard length, from a DIT generating circuit 20.
 10 The FIFO memory 15 has an output terminal connected to an MPEG packetizing circuit 16 for performing an MPEG packetizing process. The MPEG packetizing circuit 16 and peripheral circuits thereof have structures as shown in Fig. 4. Specifically, a memory 24 connected to the FIFO memory 15 is connected with a header adding circuit 25 for adding an IEEE 1394 header and an MPEG CIP header.
 15 Further, the header adding circuit 25 has an output terminal connected with a LINK layer 17 as shown in Fig. 2 which is connected with a physical layer 18. The physical layer 18 is connected with an output terminal 19 of the cable.

Next, operations of this embodiment having the foregoing structural features will be described hereinafter. During a recording process, a digital signal inputted
 20 to the input terminal 2 of the cable is received by the physical layer 3, which inputs the received digital signal to the LINK layer 4. The LINK layer 4 divides the signal into a header and data, and inputs the header and the data to the header detecting circuit 1 and the DV packetizing circuit 5, respectively. The header detecting circuit 1 detects contents of the header, to determine the type of the whole received
 25 packet (header and data), digital video packet or MPEG packet. Then, the data

after the detection is provided to the switch 21 of the DV packetizing circuit 5. If the data is in the form of an MPEG packet to be received, the switch 21 is turned ON/OFF, so that a necessary portion of the data in the form of MPEG packet is fetched and stored in the memory 22.

5 In this instance, i.e., when the data is in the form of an MPEG packet, one packet does not always include all portions of data. Sometimes the data (excluding the header) is divided into plural portions and only the portion(s) is transmitted. For this reason, a portion of data necessary for forming a digital video packet is stored in the memory 22. Then, the data stored in the memory 22 required for
10 forming a packet is input to the ID-number adding circuit 23, which adds an ID-number for discriminating between MPEG-encoded data and digital video data to the data. The data accompanied by the ID-number is input to the FIFO memory 6.

 A packet of digital video SDL has a composition as shown in Fig. 5 in which hatched portions indicate real data portions. According to this embodiment, when
15 data in the form of MPEG packet is received, the data of one MPEG packet is applied to those hatched portions sequentially in the order of arrangement, and after all the data is applied, "0" is applied to the remaining portion. As shown in Fig. 6, one sink of a digital video packet comprises: an ID portion of 3 bits; parameters STA and QNO of 1 bit, the parameter STA for indicating a state of data as to whether or
20 not an error therein has been treated, for example, and the parameter QNO for data division; and a real data portion of 76 bits. In this embodiment, MPEG-encoded data is recorded in the real data portion of 76 bits while "0" is applied to each of the first-to-fourth bits from the beginning of each sink. If a recording rate of MPEG-encoded data is lower than that of digital video data, a dummy packet having
25 "0" applied throughout the real data portion thereof is recorded. In such an instance,

an area occupied by the parameter STA which is included in the fourth bit of each sink is marked as “F”, thereby to record that dummy data is contained.

As described above, output data of the ID-number adding circuit 23 of the DV packetizing circuit 5 is stored in the FIFO memory 6. The FIFO memory 6
 5 outputs the data in accordance with the timing of the recording system. The data as output from the FIFO memory 6 is input to the deshuffling circuit 7, where the data is deshuffled and VAUX data as system data is generated to be subjected to an insertion process like ordinary data. One example of contents of packed data to be generated and inserted into the VAUX data is shown in Fig. 7. In Fig. 7, reference
 10 characters, “REC ST” and “REC END” indicate flags which are set to “1” at a starting frame and an ending frame of a recording process, respectively. Output data of the deshuffling circuit 7 is input to the error correcting/encoding circuit 8, where an error correcting code is added to the data. Subsequently, the data with the error correcting code is input to the recording/demodulating circuit 9 and
 15 demodulated by the circuit 9 in preparation for a recording process. Then, the data as demodulated is provided to a recording head via the amplifier 10, so that a recording signal is recorded in the tape T.

On the other hand, during a regenerating process, data to be regenerated provided by the tape T is input via the amplifier 11 to the demodulating circuit 12,
 20 which demodulates a regeneration signal (data). The data as demodulated is input to the error correcting/decoding circuit 13, which corrects an error in the data. The resultant data is shuffled by the shuffling circuit 14, and thereafter is provided to the FIFO memory 15. Meanwhile, the DIT generating circuit 20 generates a DIT packet of partitioned data, based on information about the starting and ending frames
 25 represented by “REC ST” and “RED END” stored in the VAUX data during the

recording process. The generated DIT packet is provided from the DIT generating circuit 20 to the FIFO memory 15. The FIFO memory 15 inserts the DIT packet provided by the DIT generating circuit 20 into ordinary data, and inputs the resultant data to the MPEG packetizing circuit 16.

5 The MPEG packetizing circuit 16 has a structure as shown in Fig. 4. Specifically, the data provided by the FIFO memory 15, from which a redundant portion for forming a digital video packet is removed, is stored in the memory 24. The data is read from the memory 24 with an output timing in accordance with the IEEE 1394 standards, and is input to the header adding circuit 25. The header
10 adding circuit 25 adds an IEEE 1394 header and a CIP header for MPEG-encoded data to the data. The data accompanied by the headers is provided to the physical layer 18 via the LINK layer 17. Then, the data is output from the physical layer 18, and the output data is sent from the output terminal 19 of the cable to an external terminal for MPEG-encoded data.

15 As discussed above, in accordance with this embodiment, during a recording process, it is detected by the header detecting circuit 1 that a received packet input to the input terminal 2 of the cable is an MPEG packet, and a necessary portion of MPEG-encoded data is retrieved into the memory 22 upon turning-ON/OFF of the switch 21 of the DV packetizing circuit 5. Subsequently, the ID-number for
20 discriminating between DV data and MPEG-encoded data is added to the data, which in turn is converted to data in a pattern of digital video SDL format. Then, the data with the ID-number as converted is provided to the ordinary digital video recording system 27 via the FIFO memory 6, to be recorded in the tape T.

 Further, ordinary data in the digital video SDL format which is supplied
25 from the tape T to be regenerated by the ordinary regenerating system 28 is provided

to the FIFO memory 15. In the FIFO memory 15, a DIT packet generated by the DIT generating circuit 20 is inserted into the data. The resultant data is MPEG-packetized by the MPEG packetizing circuit 16, to be supplied from the output terminal 19 of the cable to an external terminal for MPEG-encoded data via
5 the LINK layer 17 and the physical layer 18.

In essence, this embodiment makes it possible to perform a recording/regenerating process on both of conventional digital video data and MPEG-encoded data using the ordinary digital recording system 27 and the ordinary regenerating system 28 which are employed as the recording system 25 and the
10 regenerating system 26, respectively, merely by adding simple and low-cost circuit structures for respectively performing a DV packetizing process together with other associated processes and an MPEG packetizing process together with other associated processes.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-346345

(43) 公開日 平成11年(1999)12月14日

(51) Int.Cl. ⁸	識別記号	F I
H 0 4 N 5/92		H 0 4 N 5/92 H
G 1 1 B 20/12	1 0 2	G 1 1 B 20/12 1 0 2
	1 0 3	1 0 3
H 0 4 N 5/765		H 0 4 N 5/782 K
7/24		7/13 Z
審査請求 未請求 請求項の数 2 O L (全 7 頁)		

(21) 出願番号 特願平10-153147

(22) 出願日 平成10年(1998) 6 月 2 日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 杉崎 公宣

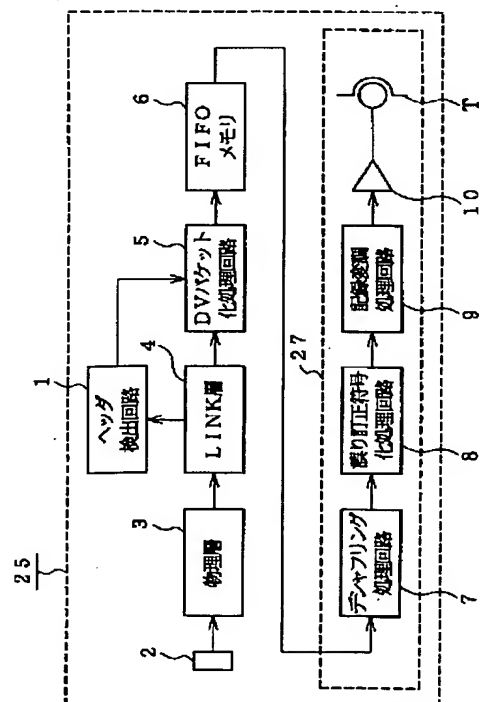
東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

(54) 【発明の名称】 ビデオ入出力装置とビデオ記録・再生装置

(57) 【要約】

【課題】 簡単な構成で、IEEE 1394 準拠の入力端子からの MPEG 方式のデータを DV 方式のデータパターンに変換して記録し、再生したデジタルビデオ方式のデータを、MPEG 方式のデータに変換して出力するビデオ記録・再生装置を提供する。

【解決手段】 記録時は、MPEG パケットの受信で、DV パケット化処理回路 5 に、MPEG の必要データが入力し、DV と MPEG の識別 ID が付され、DV の SDL フォーマットのデータパターンに変換され、通常の DV 記録系 27 に供給されテープ T に記録され、テープ T からの SDL フォーマットの再生データは、DIT パケットが挿入され MPEG パケット化され、出力端子から外部 MPEG 端末に供給され、通常の DV の再生系と記録系を利用し、DV パケット化関連処理の回路と、MPEG パケット化関連処理の回路部分を追加する簡単で低製造コストの構成で、DV と MPEG のデータの記録再生動作が可能になる。



【特許請求の範囲】

【請求項 1】 I E E E 1 3 9 4 に準拠する入力端子からの M P E G 方式のデータの入力を検出するデータ検出手段と、

該データ検出手段により、前記入力端子への M P E G 方式のデータの入力が検出されると、入力データをデジタルビデオ方式のデータパターンに変換する第 1 の変換手段と、

デジタルビデオ方式のデータパターンに基づくデータの出力時に、該データを M P E G 方式のデータに変換する第 2 の変換手段と、

該第 2 の変換手段で変換した M P E G 方式のデータを、I E E E 1 3 9 4 に準拠する出力端子から出力する出力手段とを有することを特徴とするビデオ入出力装置。

【請求項 2】 I E E E 1 3 9 4 に準拠する入力端子からの M P E G 方式のデータの入力を検出するデータ検出手段と、

該データ検出手段により、前記入力端子への M P E G 方式のデータの入力が検出されると、該入力データをデジタルビデオ方式のデータパターンに変換する第 1 の変換手段と、

該第 1 の変換手段の変換で得られたデジタルビデオ方式のデータパターンを記録媒体に記録する記録手段と、前記記録媒体から再生されるデジタルビデオ方式のデータを、M P E G 方式のデータに変換する第 2 の変換手段と、

該第 2 の変換手段で変換された M P E G 方式のデータを、I E E E 1 3 9 4 準拠の出力端子から外部端末に出力する出力手段とを有することを特徴とするビデオ記録・再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ビデオ入出力装置とビデオ記録・再生装置に関する。

【0002】

【従来の技術】従来のデジタルビデオ (DV) には、I E E E 1 3 9 4 準拠のデジタルインタフェースが取り付けられており、このデジタルインタフェースを介して、各種のデジタルビデオ方式によるビデオの送受信が行なわれている。そして、このデジタルインタフェースのシステムは、それぞれのデジタルビデオの方式に基づいた構成となっている。

【0003】

【発明が解決しようとする課題】前述のように、従来のデジタルビデオのデジタルインタフェースは、それぞれのデジタルビデオ方式に固有のシステムで構成されているために、方式の異なる M P E G (Moving Picture Experts Grope) 方式のデータを、このデジタルインタフェースを介して受信して、記録媒体に記録を行なうことはできない。この場

合、M P E G 方式のデータの受信と記録を行なわせようとすると、デジタルビデオ系の回路と M P E G 系の回路との 2 種類の回路が必要になり、ハードウェア部分が増大し、製造コスト上でも問題が生じる。

【0004】本発明は、前述したような従来のデジタルビデオのデータの受信の現状に鑑みてなされたものであり、その第 1 の目的は、I E E E 1 3 9 4 準拠の入力端子から入力する M P E G 方式のデータを、デジタルビデオ方式のデータパターンに変換し、デジタルビデオ方式のデータの出力時にを、該データを M P E G 方式のデータに変換して、I E E E 1 3 9 4 準拠の出力端子から出力する簡単な構成のビデオ入出力装置を提供することにある。

【0005】本発明の第 2 の目的は、I E E E 1 3 9 4 準拠の入力端子から入力する M P E G 方式のデータを、デジタルビデオ方式のデータパターンに変換して記録媒体に記録し、記録媒体から再生されるデジタルビデオ方式のデータを、M P E G 方式のデータに変換して、I E E E 1 3 9 4 準拠の出力端子から外部端末に出力する簡単な構成のビデオ記録・再生装置を提供することにある。

【0006】

【課題を解決するための手段】前記目的を達成するために、請求項 1 記載の発明は、I E E E 1 3 9 4 に準拠する入力端子からの M P E G 方式のデータの入力を検出するデータ検出手段と、該データ検出手段により、前記入力端子への M P E G 方式のデータの入力が検出されると、入力データをデジタルビデオ方式のデータパターンに変換する第 1 の変換手段と、デジタルビデオ方式のデータパターンに基づくデータの出力時に、該データを M P E G 方式のデータに変換する第 2 の変換手段と、該第 2 の変換手段で変換した M P E G 方式のデータを、I E E E 1 3 9 4 に準拠する出力端子から出力する出力手段とを有することを特徴とするものである。

【0007】前記第 2 の目的を達成するために、請求項 2 記載の発明は、I E E E 1 3 9 4 に準拠する入力端子からの M P E G 方式のデータの入力を検出するデータ検出手段と、該データ検出手段により、前記入力端子への M P E G 方式のデータの入力が検出されると、該入力データをデジタルビデオ方式のデータパターンに変換する第 1 の変換手段と、該第 1 の変換手段の変換で得られたデジタルビデオ方式のデータパターンを記録媒体に記録する記録手段と、前記記録媒体から再生されるデジタルビデオ方式のデータを、M P E G 方式のデータに変換する第 2 の変換手段と、該第 2 の変換手段で変換された M P E G 方式のデータを、I E E E 1 3 9 4 準拠の出力端子から外部端末に出力する出力手段とを有することを特徴とするものである。

【0008】

【発明の実施の形態】以下に、本発明のビデオ記録・再

生装置に係る一実施の形態を、図 1 ないし図 7 を参照して説明する。図 1 は本実施の形態の記録系の構成を示すブロック図、図 2 は本実施の形態の再生系の構成を示すブロック図、図 3 は図 1 の DV パケット化処理回路の構成を示すブロック図、図 4 は図 2 の MPEG パケット化処理回路の構成を示すブロック図、図 5 は本実施の形態のデジタルビデオの SDL のブロックパケットの説明図、図 6 は本実施の形態のデジタルビデオの 1 シンクの構成を示す説明図、図 7 は本実施の形態のバックデータの説明図である。

【0009】本実施の形態の記録系 25 は、図 1 に示すような構成となっていて、この記録系 25 では、ケーブルの内部に、ケーブルの入力端子 2 から入力されるデジタル信号を受信する物理層 3 と、この物理層 3 に接続され、物理層 3 の出力信号をヘッダとデータとに分離する LINK 層 4 とが設けられており、LINK 層 4 には、ヘッダが入力されるヘッダ検出回路 1 と、データが入力され、入力されるデータに DV パケット化処理（デジタルビデオパケット化処理）を施す DV パケット化処理回路 5 とが接続されている。DV パケット化処理回路 5 とその周辺回路は、図 3 に示すような構成となっていて、LINK 層 4 のデータの出力端子は、ヘッダ検出回路 1 の出力信号で ON-OFF 制御されるスイッチ 21 を介して、LINK 層 4 からのデータが格納されるメモリ 22 に接続され、メモリ 22 の出力端子が、パケットに必要なデータに MPEG と DV との識別 ID を付加する ID 付加回路 23 に接続され、ID 付加回路 23 の出力端子は、システム系のタイミングでデータを出力する FIFO (First In First Out) メモリ 6 に接続されている。

【0010】この FIFO メモリ 6 の出力端子には、図 1 に示すように、通常のデジタルビデオのテープへの記録を行なう記録系 27 が接続されており、この記録系 27 には、FIFO 6 に接続されデシャフリング処理と、システムデータの付加情報である VAUX (Video Auxiliary) データの生成を行なうデシャフリング処理回路 7 が設けられている。このデシャフリング処理回路 7 には、誤り訂正符号の付加を行なう誤り訂正符号化処理回路 8 が接続され、誤り訂正符号化処理回路 8 には、データの記録変調を行なう記録変調処理回路 9 が接続され、記録変調処理回路 9 の出力データが、アンプ 10 を介してテープ T に供給記録されるように構成されている。

【0011】一方、本実施の形態の再生系 26 は、図 2 に示すような構成となっていて、この再生系 26 には、通常のデジタルビデオのテープからの再生を行なう再生系 28 がそのまま使用されており、この再生系 28 では、テープ T からの再生データは、アンプ 11 を介して、復調処理を行なう復調回路 12 に供給されている。この復調回路 12 には、誤り訂正を行なう誤り訂正復号

化処理回路 13 が接続され、誤り訂正復号化処理回路 13 には、シャフリング処理を行なうシャフリング処理回路 14 が接続されている。

【0012】このシャフリング処理回路 14 の出力端子には、FIFO メモリ 15 が接続され、この FIFO メモリ 15 には、DIT 発生回路 20 から、データの標準長のパケット化を行なう DIT パケットが供給されており、FIFO メモリ 15 の出力端子には、MPEG パケット化処理を行なう MPEG パケット化処理回路 16 が接続されている。この MPEG パケット化処理回路 16 と周辺の回路は、図 4 に示すような構成となっていて、FIFO メモリ 15 に接続されたメモリ 24 に、IEEE 1394 ヘッダと MPEG の CIP ヘッダの付加を行なうヘッダ付加回路 25 が接続され、ヘッダ付加回路 25 の出力端子に、図 2 に示すように LINK 層 17 が接続され、LINK 層 17 に物理層 18 が接続され、物理層 18 がケーブルの出力端子 19 に接続されている。

【0013】このような構成の本実施の形態の動作を説明する。記録動作時には、ケーブルの入力端子 2 から入力されるデジタル信号は、物理層 3 で受信されて LINK 層 4 に入力され、LINK 層 4 で分離されたヘッダはヘッダ検出回路 1 に、データは DV パケット化処理回路 5 に入力される。ヘッダ検出回路 1 では、ヘッダの内容を検出して、受信したパケットが、デジタルビデオのものか、MPEG のものかの判定を行い、その判定データが、DV パケット化処理回路 5 のスイッチ 21 に供給される。この判定データが、受信すべき MPEG 形式のパケットであった場合には、スイッチ 21 が ON-OFF 動作して、該 MPEG 形式のパケットのデータの必要な部分がメモリ 22 に取り込まれ格納される。

【0014】この場合、MPEG 方式のパケットでは、1 パケットが 1 データとは限らず、ヘッダを除いたデータ部分が、分割されて送信されることもあるので、メモリ 22 には、DV のパケットに必要な分のデータが格納される。そして、メモリ 22 に格納されたパケットに必要なデータは、ID 付加回路 23 に入力され、ID 付加回路 23 において、MPEG と DV とを識別する識別 ID が付加され、識別 ID が付加されたデータが FIFO メモリ 6 に入力される。

【0015】DV の SDL のパケットは、図 5 に示すように構成され、同図で斜線部分が実データ部であるが、本実施の形態で、MPEG パケットのデータを受信した場合には、この部分に MPEG の 1 パケットのデータが、前から順に充填され余りの部分には 0 が充填される。図 6 に示すように、DV パケット中の 1 シンクは、ID 部が 3 バイト、エラー処理済か否かなどのデータ処理の状態を示すパラメータ STA と、データ分割のパラメータ QNO との 1 バイト、及び実データ部の 76 バイトからなっている。本実施の形態では、この実データ部の 76 バイトの部分に MPEG データが記録され、各シ

シンの先頭から4バイトは全て0が充填される。そして、MPEGの記録レートが、DVの記録レートよりも低い場合には、実データ部に全て0が充填されたダミーパケットが記録され、この場合には、各シンの先頭から4バイト目に含まれるSTAのエリアをFとして、ダミーデータであることを記録する。

【0016】前述したように、DVパケット化処理回路5のID付加回路23の出力データは、FIFOメモリ6に格納されるが、FIFOメモリ6からは、システム系のタイミングでデータが出力され、このデータはデシヤプリング処理回路7に入力されてデシヤプリングされると共に、システムデータのVAUXデータが作成され、通常データと同様に挿入処理される。この場合、VAUXに挿入されるために生成されるバックデータの内容の一例を示すと、図7のようになり、ここで、REC ST、REC ENDは、記録の初めのフレームと記録の終わりのフレームとでそれぞれ1になるフラグである。そして、デシヤプリング処理回路7からの出力データは、誤り訂正符号化処理回路8に入力されて、誤り訂正符号の付加が行なわれ、次いで、記録変調処理回路9に入力されて、記録のための変調処理が行なわれた後に、アンプ10を介して記録ヘッドに供給されて記録信号がテープTに記録される。

【0017】一方、再生動作時には、テープTからの再生データは、アンプ11を介して復調回路12に入力され、復調回路12で再生信号の復調処理が行なわれ、復調されたデータは、誤り訂正復号化処理回路13に入力されて誤り訂正が行なわれ、誤り訂正処理後のデータが、シヤプリング処理回路14において、シヤプリング処理された後にFIFOメモリ15に供給される。ところで、DIT発生回路20では、記録時にVAUX内に記録されたRECSTART、REC ENDの情報に基づいて、データ区分のDITパケットが生成され、このDITパケットがDIT発生回路20からFIFOメモリ15に供給される。そこで、FIFOメモリ15では、通常データにDIT発生回路20から供給されるDITパケットを挿入して、DITパケットが挿入されたデータをMPEGパケット化処理回路16に入力する。

【0018】このMPEGパケット化処理回路16は、図4に示すような構成となっていて、FIFOメモリ15からのデータからは、DVのパケット用の冗長な部分を取り除かれてメモリ24に格納され、メモリ24からはIEEE1394に準拠する出力タイミングでデータが読み出されて、ヘッダ付加回路25に入力される。このヘッダ付加回路25では、1394ヘッダとMPEG用のCIPヘッダとがデータに付加され、ヘッダが付加されたデータは、LINK層17を介して、物理層18に供給され、物理層18からの出力データは、ケーブルの出力端子19から、ケーブルにより外部のMPEG端末に接続される。

【0019】このように、本実施の形態によると、記録時には、ケーブルの入力端子2からの受信パケットがMPEGのパケットであることがヘッダ検出回路1で検出されると、DVパケット化処理回路5のスイッチ21のON-OFFによつて、MPEGの必要なデータがメモリ22に取り込まれ、ID付加回路23において、DVデータとMPEGデータとの識別をする識別IDがデータ付加され、識別IDが付加されたデータがFIFO6を介して、DVのSDLフォーマットのデータパターンに変換された状態で、通常のDV記録系27に供給されてテープTに記録される。

【0020】また、テープTから、通常のDVの再生系28によつて再生される通常のDVのSDLフォーマットのデータは、FIFOメモリ15において、DIT発生回路20からのDITパケットがデータに挿入され、得られたデータが、MPEGパケット化処理回路16で、MPEGパケット化されて、LINK層17と物理層18を介して、ケーブルの出力端子19から、外部のMPEG端末に供給される。

【0021】このようにして、本実施の形態によると、記録系25には通常のDVの記録系25を利用し、再生系26には通常のDVの再生系28を利用し、これらに、DVパケット化処理と関連する処理を行なう簡単な回路部分と、MPEGパケット化処理と関連する処理を行なう簡単な回路部分とを、追加するだけの簡単で低製造コストの構成によつて、通常のDVのデータとMPEGのデータの何れに対しても記録・再生動作を行なうことが可能になる。

【0022】

【発明の効果】請求項1記載のビデオ入出力装置には、IEEE1394に準拠する入力端子と出力端子とが設けられており、入力端子からのMPEG方式のデータの入力が、入力データデータ検出手段によつて検出されると、入力データが第1の変換手段によつて、デジタルビデオ方式のデータパターンに変換され、入力したMPEG方式のデータが、デジタルビデオ方式のデータパターンとして処理され、デジタルビデオ方式のデータパターンに基づくデータの出力時には、該データが第2の変換手段によつて、MPEG方式のデータに変換され、変換されたMPEG方式のデータが、出力手段によつて出力端子から出力され、外部端末においてMPEG方式のデータとして使用されるので、IEEE1394に準拠するインタフェース部の僅かな変更のみで、デジタルビデオ方式のデータとMPEG方式のデータ間でのインタフェース動作が可能になる。

【0023】請求項2記載のビデオ記録・再生装置には、IEEE1394に準拠する入力端子と出力端子とが設けられており、入力端子からのMPEG方式のデータの入力が、入力データデータ検出手段によつて検出されると、入力データが第1の変換手段によつて、ディジ

タルビデオ方式のデータパターンに変換され、変換で得られたデジタルビデオ方式のデータパターンが、記録手段によって記録媒体に記録され、記録媒体から再生されるデジタルビデオ方式のデータは、第2の変換手段によって、MPEG方式のデータに変換され、出力手段によってMPEG方式のデータが、出力端子から外部端末に出力されるので、デジタルビデオの記録・再生部をそのまま使用し、IEEE 1394に準拠するインタフェース部の僅かな変更のみで、デジタルビデオ方式のデータとMPEG方式のデータとの記録・再生が可能になる。

【図面の簡単な説明】

【図1】本発明のビデオ記録・再生装置に係る一実施の形態の記録系の構成を示すブロック図である。

【図2】同実施の形態の再生系の構成を示すブロック図である。

【図3】図1のDVパケット化処理回路の構成を示すブ

ロック図である。

【図4】図2のMPEGパケット化処理回路の構成を示すブロック図である。

【図5】同実施形態のデジタルビデオのSDLのブロックパケットの説明図である。

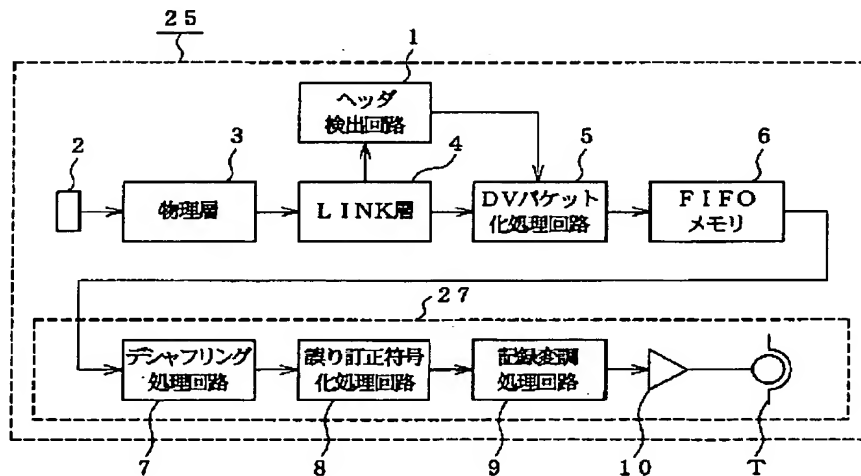
【図6】同実施の形態のデジタルビデオの1シンの構成を示す説明図である。

【図7】同実施の形態のバックデータの説明図である。

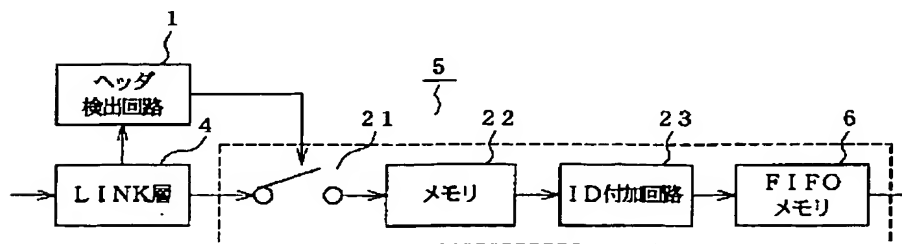
【符号の説明】

1…ヘッダ検出回路、2…入力端子、3…物理層、4…LINK層、5…DVパケット化処理回路、7…デシャプリング処理回路、8…誤り訂正符号化処理回路、9…記録変調処理回路、12…復調回路、13…誤り訂正符号化処理回路、14…シヤプリング処理回路、16…MPEGパケット化処理回路、20…DIT発生回路、21…スイッチ、23…ID付加回路、25…ヘッダ付加回路。

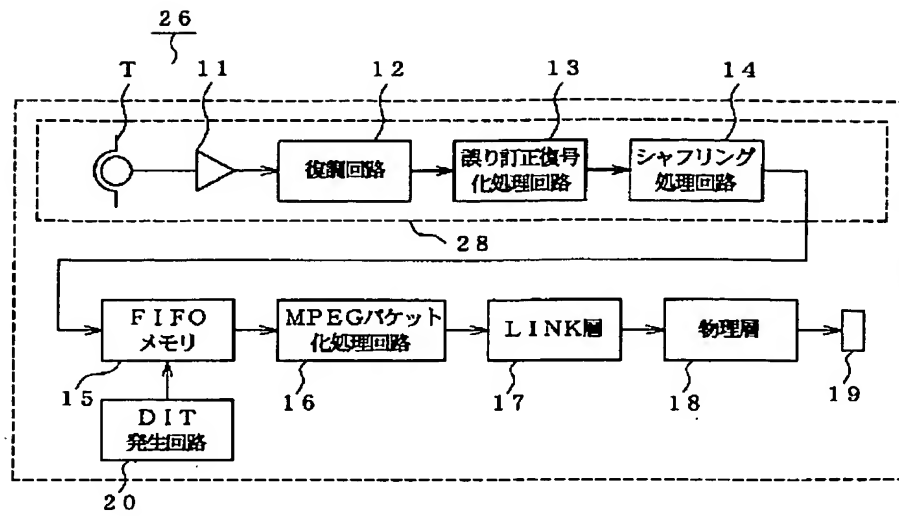
【図1】



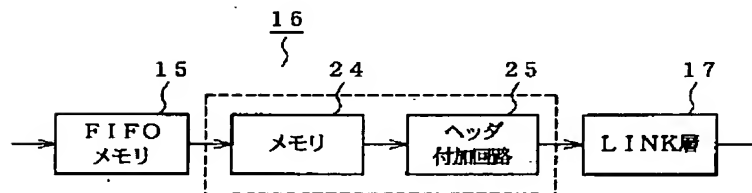
【図3】



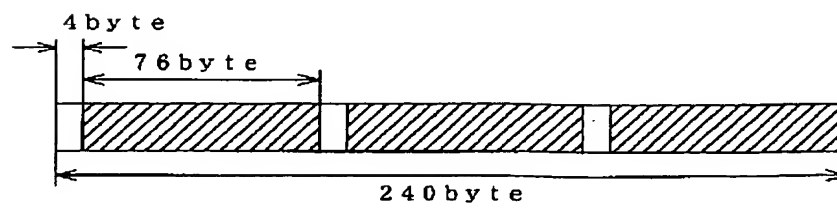
【図 2】



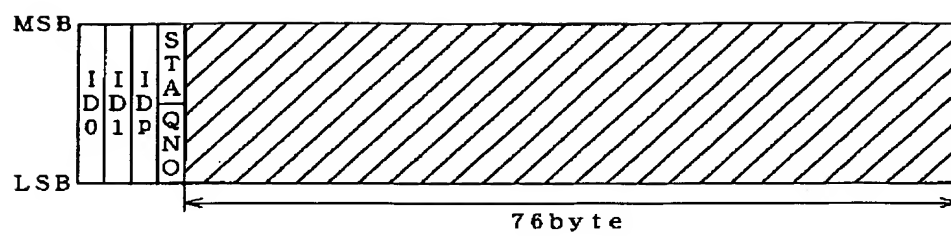
【図 4】



【図 5】



【図 6】



【図 7】

PC0	1	1	1	1	0	0	0	1
PC1	REC ST	REC END						
PC2								
PC3								
PC4								

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.